

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-367287

(43)Date of publication of application : 20.12.2002

---

(51)Int.CI. G11B 20/10  
H03G 3/20  
H03M 1/18  
H04N 5/91

---

(21)Application number : 2001-174590 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 08.06.2001 (72)Inventor : KAWABE AKIRA  
OKAMOTO YOSHIFUMI

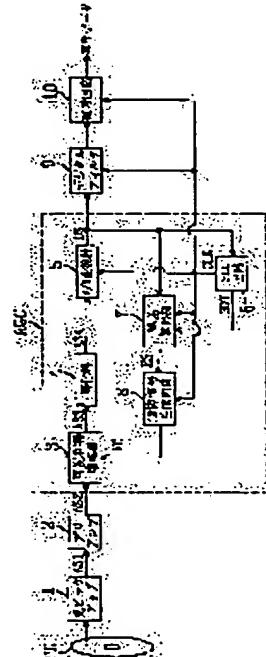
---

## (54) AUTOMATIC GAIN CONTROL CIRCUIT

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide an automatic gain control circuit in which a stable output of a variable gain control circuit is obtained.

SOLUTION: A gain control signal VC in accordance with difference between a peak value of a reproduction signal DS and the upper limit value or the lowest limit value of a dynamic range of an A/D converter 5 is given to a variable gain amplifier 3 in a state in which a PLL circuit 6 is not locked. In a state in which the PLL circuit 6 is locked, a gain control signal VC in accordance with difference between the reproduction signal DS and reference values d1-d5 corresponding to levels LV1-LV5 to which the reproduction signal DS belongs is given to the variable gain amplifier 3. The variable gain amplifier 3 amplifies a reproduction signal AS2 with gain in accordance with the gain control signal VC.



---

## LEGAL STATUS

[Date of request for examination] 18.04.2002

[Date of sending the examiner's decision of

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-367287

(P2002-367287A)

(43)公開日 平成14年12月20日 (2002.12.20)

(51)Int.Cl.<sup>7</sup>  
G 11 B 20/10  
H 03 G 3/20  
H 03 M 1/18  
H 04 N 5/91

識別記号  
3 2 1

F I  
G 11 B 20/10  
H 03 G 3/20  
H 03 M 1/18  
H 04 N 5/91

テマコード(参考)  
5 C 05 3  
A 5 D 04 4  
5 J 02 2  
M 5 J 10 0

審査請求 有 請求項の数 8 OL (全 13 頁)

(21)出願番号 特願2001-174590(P2001-174590)  
(22)出願日 平成13年6月8日(2001.6.8)

(71)出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72)発明者 河邊 章  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72)発明者 岡本 好史  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(74)代理人 100077931  
弁理士 前田 弘 (外7名)

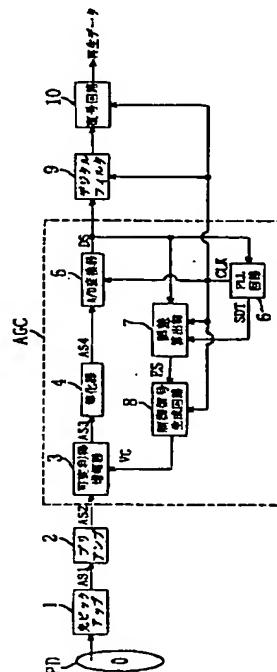
最終頁に続く

(54)【発明の名称】自動利得制御回路

(57)【要約】

【課題】可変利得増幅器の安定した出力が得られる自動利得制御回路を提供する。

【解決手段】PLL回路6がロックしていない状態のときは再生信号DSのピーク値とA/D変換器5のダイナミックレンジの上限値または下限値との差に応じた利得制御信号VCが可変利得増幅器3に与えられる。PLL回路6がロック状態のときは、A/D変換器5の各サンプリングポイントについて、再生信号DSと当該再生信号DSが属するレベルLV1-LV5に対応する基準値d1-d5との差に応じた利得制御信号VCが可変利得増幅器3に与えられる。利得制御信号VCに応じた利得で可変利得増幅器3は再生信号AS2を增幅する。



1

## 【特許請求の範囲】

【請求項1】 記録媒体からの再生信号を増幅する可変利得増幅器と、  
 前記可変利得増幅器によって増幅された再生信号を量子化するA/D変換器と、  
 前記A/D変換器によって量子化された再生信号に同期したクロックを生成するクロック生成回路と、  
 前記A/D変換器によって量子化された再生信号と、前記記録媒体への記録制約および記録方式ならびに前記記録媒体からの再生信号に対する重み付けの方式によって定まるn値（nは正の整数）のうち前記A/D変換器によって量子化された再生信号に対応する値と、の差に応じた誤差信号を生成する誤差算出部と、  
 前記誤差算出部によって生成された誤差信号に基づいて利得制御信号を生成する制御信号生成回路とを備え、  
 前記A/D変換器は、前記可変利得増幅器によって増幅された再生信号を前記クロック生成回路からのクロックに同期して量子化し、  
 前記可変利得増幅器は、前記制御信号生成回路からの利得制御信号のレベルに応じた利得で前記記録媒体からの再生信号を増幅することを特徴とする自動利得制御回路。

【請求項2】 請求項1に記載の自動利得制御回路において、

前記誤差算出部は、  
 前記n値のうち前記A/D変換器によって量子化された再生信号に対応する値が所望の値のときに前記誤差信号を生成することを特徴とする自動利得制御回路。

【請求項3】 請求項1に記載の自動利得制御回路において、

前記誤差算出部は、  
 前記クロック生成回路からのクロックが前記A/D変換器によって量子化された再生信号に同期していないとき、  
 前記A/D変換器によって量子化された再生信号のピークと所定の基準値との差に応じた誤差信号を生成し、  
 前記クロック生成回路からのクロックが前記A/D変換器によって量子化された再生信号に同期しているとき、  
 前記A/D変換器によって量子化された再生信号と、前記記録媒体への記録制約および記録方式ならびに前記記録媒体からの再生信号に対する重み付けの方式によって定まるn値（nは正の整数）のうち前記A/D変換器によって量子化された再生信号に対応する値と、の差に応じた誤差信号を生成することを特徴とする自動利得制御回路。

【請求項4】 請求項3に記載の自動利得制御回路において、

前記所定の基準値は、  
 前記A/D変換器のダイナミックレンジの上限値または下限値であることを特徴とする自動利得制御回路。

2

【請求項5】 請求項3に記載の自動利得制御回路において、

前記所定の基準値は、  
 前記A/D変換器のダイナミックレンジの上限値よりも小さく中央値よりも大きい値または下限値よりも大きく前記中央値よりも小さい値であることを特徴とする自動利得制御回路。

【請求項6】 請求項1に記載の自動利得制御回路において、

- 10 前記誤差算出部は、  
 前記クロック生成回路からのクロックが前記A/D変換器によって量子化された再生信号に同期していないとき、  
 前記可変利得増幅器からの再生信号のピークと所定の基準値との差に応じた誤差信号を生成し、  
 前記クロック生成回路からのクロックが前記A/D変換器によって量子化された再生信号に同期しているとき、  
 前記A/D変換器によって量子化された再生信号と、前記記録媒体への記録制約および記録方式ならびに前記記録媒体からの再生信号に対する重み付けの方式によって定まるn値（nは正の整数）のうち前記A/D変換器によって量子化された再生信号に対応する値と、の差に応じた誤差信号を生成することを特徴とする自動利得制御回路。

【請求項7】 請求項3または請求項6に記載の自動利得制御回路において、

前記制御信号生成回路は、  
 前記クロック生成回路からのクロックが前記A/D変換器によって量子化された再生信号に同期していないとき、

- 30 前記誤差算出部によって生成された誤差信号と第1の乗数との積に基づいて前記利得制御信号を生成し、  
 前記クロック生成回路からのクロックが前記A/D変換器によって量子化された再生信号に同期しているとき、  
 前記誤差算出部によって生成された誤差信号と前記第1の乗数よりも小さい第2の乗数との積に基づいて前記利得制御信号を生成することを特徴とする自動利得制御回路。

【請求項8】 請求項7に記載の自動利得制御回路において、

- 40 前記制御信号生成回路は、  
 前記記録媒体に記録されたデータのフォーマットに応じて前記第2の乗数を変えることを特徴とする自動利得制御回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は自動利得制御回路に関し、さらに詳しくは、光ディスクや磁気ディスクなどの記録媒体から得られた再生信号の振幅レベルを一定のレベルに制御する自動利得制御回路に関する。

## 【0002】

【従来の技術】光ディスク装置における再生信号処理回路では、ディスク上のピットにレーザを照射し、その反射光を光ピックアップによって取り込み電気信号に変換して再生信号を得る。こうして得られた再生信号はプリアンプによって増幅された後、可変利得増幅器によってその振幅レベルが調整される。可変利得増幅器では、後段のA/D変換器のダイナミックレンジに適合するように再生信号の振幅レベルが調整される。可変利得増幅器によって振幅レベルが調整された再生信号は波形等化された後にA/D変換器によって量子化される。量子化された再生信号はデジタル処理部によって2値の再生データに復号される。

【0003】この再生信号処理回路では、再生信号の振幅レベルをA/D変換器のダイナミックレンジ（入力電圧範囲）に適合させるために以下のようにして可変利得増幅器の利得を制御している。まず、波形等化された再生信号を全波整流した後にローパスフィルタを通過させて波形ピークを平滑化する。これにより再生信号の振幅レベルを導出する。次に、導出した振幅レベルとA/D変換器のダイナミックレンジに相当する基準レベルとを比較し、その誤差を算出する。そして、算出した誤差に応じた電圧レベルの利得制御信号を生成する。この利得制御信号の電圧レベルに応じた利得で可変利得増幅器は再生信号を増幅する。このように再生信号の振幅レベルと基準レベルとの誤差に応じて可変利得増幅器の利得を制御しているため、可変利得増幅器によって増幅された再生信号の振幅レベルは後段のA/D変換器のダイナミックレンジに適合したレベルになる。

## 【0004】

【発明が解決しようとする課題】自動利得制御回路では、後段のA/D変換器において効率よく量子化が行えるように再生信号の振幅レベルを調整することと入力される再生信号の振幅レベルをリアルタイムに調整することとが求められる。しかしながら、今後はディスク再生速度が高速化し光源が短波長化していくため、再生信号のS/N比が劣化したり高周波成分が微弱化したりすることが予想される。再生信号のS/N比が劣化したり高周波成分が微弱化したりすると可変利得増幅器の出力が不安定になる。

【0005】この発明は上記のような問題を解決するためになされたものであり、その目的は、可変利得増幅器の安定した出力が得られる自動利得制御回路を提供することである。

## 【0006】

【課題を解決するための手段】この発明に従うと自動利得制御回路は、可変利得増幅器と、A/D変換器と、クロック生成回路と、誤差算出部と、制御信号生成回路とを備える。可変利得増幅器は、記録媒体からの再生信号を増幅する。A/D変換器は、可変利得増幅器によって

增幅された再生信号を量子化する。クロック生成回路は、A/D変換器によって量子化された再生信号に同期したクロックを生成する。誤差算出部は、A/D変換器によって量子化された再生信号と、記録媒体への記録制約および記録方式ならびに記録媒体からの再生信号に対する重み付けの方式によって定まるn値（nは正の整数）のうちA/D変換器によって量子化された再生信号に対応する値と、の差に応じた誤差信号を生成する。制御信号生成回路は、誤差算出部によって生成された誤差信号に基づいて利得制御信号を生成する。上記A/D変換器は、可変利得増幅器によって増幅された再生信号をクロック生成回路からのクロックに同期して量子化する。上記可変利得増幅器は、制御信号生成回路からの利得制御信号のレベルに応じた利得で記録媒体からの再生信号を増幅する。

【0007】上記自動利得制御回路では、A/D変換器によって量子化された再生信号のピーク値だけでなく中間値も誤差信号の生成の対象としているため、ピーク値だけを対象とする場合と比べると可変利得増幅器の出力は安定する。

【0008】好ましくは、上記誤差算出部は、上記n値のうちA/D変換器によって量子化された再生信号に対応する値が所望の値のときに誤差信号を生成する。

【0009】上記自動利得制御回路によれば、上記n値のうちA/D変換器からの再生信号との差のばらつきの少ない値だけを選択して誤差信号を生成することができる。

【0010】好ましくは、上記誤差算出部は、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期していないとき、A/D変換器によって量子化された再生信号のピークと所定の基準値との差に応じた誤差信号を生成する。一方、上記誤差算出部は、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期しているとき、A/D変換器によって量子化された再生信号と、記録媒体への記録制約および記録方式ならびに記録媒体からの再生信号に対する重み付けの方式によって定まるn値（nは正の整数）のうちA/D変換器によって量子化された再生信号に対応する値と、の差に応じた誤差信号を生成する。

【0011】好ましくは、上記所定の基準値は、A/D変換器のダイナミックレンジの上限値または下限値である。

【0012】上記自動利得制御回路では、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期していないとき、A/D変換器によって量子化された再生信号のレベルには規則性がない。しかし当該再生信号のピークを検出することはできる。そこで誤差算出部は、A/D変換器によって量子化された再生信号のピーク値とA/D変換器のダイナミックレン

ジの上限値または下限値との差に応じた誤差信号を生成する。そして制御信号生成回路において、この誤差信号に基づいた利得制御信号が生成される。可変利得増幅器では、この利得制御信号に応じた利得で記録媒体からの再生信号が増幅される。これにより、A/D変換器によって量子化された再生信号のピーク値とA/D変換器のダイナミックレンジの上限値または下限値との差が小さくなる。すなわち可変利得増幅器によって増幅された再生信号の振幅レベルがA/D変換器のダイナミックレンジに近づく。

【0013】クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期しているとき、A/D変換器によって量子化された再生信号のレベルはほぼn値に分かれる。そこで誤差算出部は、A/D変換器によって量子化された再生信号と上記n値のうち当該再生信号に対応する値との差に応じた誤差信号を生成する。そして制御信号生成回路において、この誤差信号に基づいた利得制御信号が生成される。可変利得増幅器では、この利得制御信号に応じた利得で記録媒体からの再生信号が増幅される。これにより、A/D変換器によって量子化された再生信号の振幅レベルはA/D変換器のダイナミックレンジに適合したレベルになる。このように、A/D変換器によって量子化された再生信号のピーク値だけでなく中間値も誤差信号の算出の対象にするため、ピーク値だけを対象にする場合と比べると、可変利得増幅器の出力はA/D変換器のダイナミックレンジに適合しあつ安定したものとなる。

【0014】以上のように上記自動利得制御回路では、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期していないときは、A/D変換器によって量子化された再生信号のピーク値とA/D変換器のダイナミックレンジの上限値または下限値との差に応じた誤差信号を生成する。これにより、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期するまでの間に可変利得増幅器の出力の振幅レベルをA/D変換器のダイナミックレンジに適合したレベルにある程度近づけることができる。この結果、可変利得増幅器の出力の振幅レベルをA/D変換器のダイナミックレンジに適合しあつ安定したものにするまでの時間を短くすることができる。

【0015】好ましくは、上記所定の基準値は、A/D変換器のダイナミックレンジの上限値よりも小さく中央値よりも大きい値または下限値よりも大きく中央値よりも小さい値である。

【0016】上記自動利得制御回路によれば、可変利得増幅器の出力の振幅レベルがA/D変換器のダイナミックレンジを越えてしまうことを防ぐことができる。

【0017】好ましくは、上記誤差算出部は、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期していないとき、可変利得増幅器

からの再生信号のピークと所定の基準値との差に応じた誤差信号を生成する。一方、上記誤差算出部は、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期しているとき、A/D変換器によって量子化された再生信号と、記録媒体への記録制約および記録方式ならびに記録媒体からの再生信号に対する重み付けの方式によって定まるn値（nは正の整数）のうちA/D変換器によって量子化された再生信号に対応する値と、の差に応じた誤差信号を生成する。

【0018】上記自動利得制御回路では、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期するまでの間に可変利得増幅器の出力の振幅レベルをA/D変換器のダイナミックレンジに適合したレベルにある程度近づけることができる。この結果、可変利得増幅器の出力の振幅レベルをA/D変換器のダイナミックレンジに適合しあつ安定したものにするまでの時間を短くすることができる。

【0019】好ましくは、上記制御信号生成回路は、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期していないとき、誤差算出部によって生成された誤差信号と第1の乗数との積に基づいて利得制御信号を生成する。一方、上記制御信号生成回路は、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期しているとき、誤差算出部によって生成された誤差信号と第1の乗数よりも小さい第2の乗数との積に基づいて利得制御信号を生成する。

【0020】上記自動利得制御回路では、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期していないとき、大きいほうの第1の乗数と誤差信号との積に基づいて利得制御信号が生成される。したがって可変利得増幅器は、第2の乗数に基づいて利得制御信号が生成されるときよりも大きい利得で記録媒体からの再生信号を増幅する。これにより、可変利得増幅器の出力の振幅レベルがA/D変換器のダイナミックレンジにおおざっぱに近づけられる。一方、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期しているとき、小さいほうの第2の乗数と誤差信号との積に基づいて利得制御信号が生成される。したがって可変利得増幅器は、第1の乗数に基づいて利得制御信号が生成されるときよりも小さい利得で記録媒体からの再生信号を増幅する。これにより、A/D変換器のダイナミックレンジに適合しあつ安定したレベルになるように可変利得増幅器の出力の振幅レベルが細かく調整される。

【0021】以上のように上記自動利得制御回路では、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期していないときは第1の乗数と誤差信号との積に基づいて利得制御信号を生成し、クロック生成回路からのクロックがA/D変換器に

よって量子化された再生信号に同期しているときは第2の乗数と誤差信号との積に基づいて利得制御信号を生成するため、可変利得増幅器の出力の振幅レベルの調整を効率よく行うことができる。

【0022】好ましくは、上記制御信号生成回路は、記録媒体に記録されたデータのフォーマットに応じて上記第2の乗数を変える。

【0023】上記自動利得制御回路によれば、可変利得増幅器の出力の振幅レベルの調整を、記録媒体に記録されたデータのフォーマットに応じて効率よく行うことができる。

【0024】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一または相当部分には同一の符号を付し、その説明は繰り返さない。

【0025】(第1の実施形態)

<再生信号処理回路の全体構成>図1は、この発明の第1の実施形態による再生信号処理回路の全体構成を示すブロック図である。図1に示す再生信号処理回路は、光ディスク装置における再生信号処理回路である。記録媒体である光ディスクPDにはRLL(Run Length Limited)符号化されたデータがNRZI(Non Return to Zero Inverse)方式で記録されている。図1に示す再生信号処理回路では、PRML(Partial Response Maximum Likelihood)信号処理技術を利用している。図1に示す再生信号処理回路は、光ピックアップ1と、プリアンプ2と、可変利得増幅器3と、等化器4と、A/D変換器5と、PLL回路6と、誤差算出部7と、制御信号生成回路8と、デジタルフィルタ9と、復号回路10とを備える。

【0026】一般に映像や音楽等の情報はエンコードした後、変調を施して光ディスクPDにピットとして書き込まれる。光ピックアップ1は、光ディスクPD上のピットにレーザを照射して得られる反射光を電気信号に変換し再生信号AS1として出力する。プリアンプ2は、光ピックアップ1からの再生信号AS1を増幅し再生信号AS2として出力する。

【0027】可変利得増幅器3は、制御信号生成回路8からの利得制御信号VCに応じた利得でプリアンプ2からの再生信号AS2を増幅し再生信号AS3として出力する。等化器4は、可変利得増幅器3からの再生信号AS3の高周波成分をブーストして波形等化を行い再生信号AS4として出力する。A/D変換器5は、等化器4からの再生信号AS4をPLL回路6からのクロックCLKに同期して量子化し再生信号DSとして出力する。PLL回路6は、A/D変換器5からの再生信号DSに同期したクロックCLKを生成する。またPLL回路6は、A/D変換器5からの再生信号DSにクロックCLK

Kが同期しているとき、すなわちPLL回路6がロックしているときはHレベル(論理ハイレベル)の同期検出信号SDTを出力し、A/D変換器5からの再生信号DSにクロックCLKが同期していないとき、すなわちPLL回路6がロックしていないときはLレベル(論理ローレベル)の同期検出信号SDTを出力する。誤差算出部7は、A/D変換器5からの再生信号DSとPLL回路6からのクロックCLKおよび同期検出信号SDTとを受け、A/D変換器5からの再生信号DSと所定の基準値との差に応じた誤差信号ESを出力する。制御信号生成回路8は、PLL回路6からのクロックCLKに同期して動作し、誤差信号ESに基づいてアナログの利得制御信号VCを生成し可変利得増幅器3へ出力する。上述の可変利得増幅器3・等化器4・A/D変換器5・PLL回路6・誤差算出部7・制御信号生成回路8によって自動利得制御回路AGCが構成される。

【0028】デジタルフィルタ9は、PLL回路6からのクロックCLKに同期して動作し、A/D変換器5からの再生信号DSに復号回路10における復号のための補正(PR等化)を施す。復号回路10は、デジタルフィルタ9によって補正が施された再生信号を2値の再生データに復号(ビタビ復号)する。

【0029】<誤差算出部7の内部構成>図2は、図1に示した誤差算出部7の内部構成を示すブロック図である。図2を参照して、誤差算出部7は、ピーク誤差算出回路21と、レベル誤差算出回路22と、セレクタ23とを含む。ピーク誤差算出回路21は、A/D変換器5からの再生信号DSのピーク値を検出し、検出したピーク値とA/D変換器5のダイナミックレンジの上限値または下限値との差に応じた誤差信号ES1を生成する。レベル誤差算出回路22は、A/D変換器5からの再生信号DSと4つのしきい値TH1-TH4(後述)とを比較し、しきい値TH1-TH4によって定められる5つのレベルLV1-LV5(後述)のうちどのレベルに再生信号DSが属するかを判定する。そしてレベル誤差算出回路22は、判定によって得られたレベルLV1-LV5に対応する基準値d1-d5(後述)と再生信号DSとの差に応じた誤差信号ES2を生成する。セレクタ23は、PLL回路6からの同期検出信号SDTがLレベルのときはピーク誤差算出回路21からの誤差信号ES1を誤差信号ESとして出力し、同期検出信号SDTがHレベルのときはレベル誤差算出回路22からの誤差信号ES2を誤差信号ESとして出力する。

【0030】<ピーク誤差算出回路21の内部構成>図3は、図2に示したピーク誤差算出回路21の内部構成を示すブロック図である。図3を参照して、ピーク誤差算出回路21は、遅延器DL31-DL34と、加算器31と、EX-OR回路32と、比較器33とを含む。

【0031】遅延器31は、A/D変換器5からの再生信号DSをPLL回路6からのクロックCLKの1周期

だけ遅延させる。加算器31は、遅延器31によって遅延された再生信号DSとA/D変換器5からの再生信号DSとの差をとり、その差の正負の符号MSBを出力する。すなわち、再生信号DSの時間的に隣り合うデータの差をとり、その差の正負の符号MSBを出力する。遅延器DL32は、加算器31によって得られた符号MSBをPLL回路6からのクロックCLKの1周期だけ遅延させる。EX-OR回路32は、遅延器DL32によって遅延された符号MSBと加算器31によって得られた符号MSBとの排他的論理和を検出信号PDTとして出力する。すなわちEX-OR回路32は、符号MSBの時間的な変化[ (+) → (-), (-) → (+)]を検出する。検出信号PDTは、符号MSBが変化したときにHレベルとなり、符号MSBの変化のないときはLレベルとなる。遅延器DL33は、EX-OR回路32からの検出信号PDTを所定時間遅延させる。遅延器DL34は、遅延器DL31からの再生信号DSを所定時間遅延させる。比較器33は、遅延器DL33からの検出信号PDTがHレベルのとき、遅延器DL34からの再生信号DSとA/D変換器5のダイナミックレンジの上限値または下限値との差に応じた誤差信号ES1を出力する。具体的には、比較器33は、符号MSBの時間的な変化が[ (+) → (-) ]であるときは再生信号DSとA/D変換器5のダイナミックレンジの上限値との差に応じた誤差信号ES1を出力し、符号MSBの時間的な変化が[ (-) → (+) ]であるときは再生信号DSとA/D変換器5のダイナミックレンジの下限値との差に応じた誤差信号ES1を出力する。一方、比較器33は、遅延器DL33からの検出信号PDTがLレベルのときは、それ以前の誤差信号ES1の値をそのまま維持する。

【0032】このようにピーク誤差算出回路21では、符号MSBが変化した時点の再生信号DSの値を再生信号DSのピーク値とし、このピーク値とA/D変換器5のダイナミックレンジの上限値または下限値との差に応じた誤差信号ES1を生成する。

【0033】<レベル誤差算出回路22の内部構成>図4は、図2に示したレベル誤差算出回路22の内部構成を示すブロック図である。図4を参照して、レベル誤差算出回路22は、加算器41-44と、デコーダ45と、セレクタ46と、比較器47とを含む。

【0034】加算器41-44は、A/D変換器5からの再生信号DSとしきい値TH1-TH4との差をとり、その差の正負の符号MSB1-MSB4を出力する。しきい値TH1-TH4は基準値d1-d5に対し、図5に示すように定められる。しきい値TH4は、 $d_4 \leq TH_4 \leq d_5$ を満たすように定められる。しきい値TH3は、 $d_3 \leq TH_3 \leq d_4$ を満たすように定められる。しきい値TH2は、 $d_2 \leq TH_2 \leq d_3$ を満たすように定められる。しきい値TH1は、 $d_1 \leq TH_1 \leq d$

2を満たすように定められる。基準値d1-d5は次のように定められる。この実施形態では、(1)記録媒体への記録制約としてRLIがある、(2)記録媒体への記録方式としてNRZIを用いる、(3)記録媒体からの再生信号に対してPR等化方式で重み付けをする。したがって、理想的にはA/D変換器5からの再生信号DSは上述の(1)-(3)により定められるn値となる。用いるRLIおよびPR等化方式に応じてnは変わる。ここではn=5とする。したがって再生信号DSは5値をとる。この5値を基準値d1-d5とする。ただし基準値d1-d5は理想値であり、実際には光ディスクPDのぶれや雑音などの影響により再生信号DSと基準値d1-d5との間にはズレがある。また図5に示すように、しきい値TH4以上の再生信号DSのレベルをレベルLV5、しきい値TH3以上しきい値TH4以下の再生信号DSのレベルをレベルLV4、しきい値TH2以上しきい値TH3以下の再生信号DSのレベルをレベルLV3、しきい値TH1以上しきい値TH2以下の再生信号のレベルをレベルLV2、しきい値TH1以下の再生信号DSのレベルをレベルLV1としている。レベルLV1-LV5に対してそれぞれ基準値d1-d5が対応している。

【0035】デコーダ45は、加算器41-44からの符号MSB1-MSB4に応じた選択信号SEL1を出力する。具体的には図6に示すように、符号MSB1-MSB4がすべて(+)であるとき再生信号DSのレベルはレベルLV5である。このときデコーダ45は基準値d5を示す選択信号SEL1を出力する。また符号MSB1-MSB3が(+)であり符号MSB4が(-)であるとき再生信号DSのレベルはレベルLV4である。このときデコーダ45は基準値d4を示す選択信号SEL1を出力する。また符号MSB1-MSB2が(+)であり符号MSB3-MSB4が(-)であるとき再生信号DSのレベルはレベルLV3である。このときデコーダ45は基準値d3を示す選択信号SEL1を出力する。また符号MSB1が(+)であり符号MSB2-MSB4が(-)であるとき再生信号DSのレベルはレベルLV2である。このときデコーダ45は基準値d2を示す選択信号SEL1を出力する。また符号MSB1-MSB4がすべて(-)であるとき再生信号DSのレベルはレベルLV1である。このときデコーダ45は基準値d1を示す選択信号SEL1を出力する。

【0036】セレクタ46は、基準値d1-d5のうちデコーダ45からの選択信号SEL1によって示される基準値を出力する。

【0037】比較器47は、選択信号SEL2が示す基準値にセレクタ46からの基準値が含まれているとき、A/D変換器5からの再生信号DSとセレクタ46からの基準値との差に応じた誤差信号ES2を出力する。一方 比較器47は、選択信号SEL2が示す基準値にセ

11

レクタ46からの基準値が含まれていないときは、それ以前の誤差信号E S 2の値をそのまま維持する。選択信号S E L 2は、基準値d 1-d 5のうち再生信号D Sとの比較を行なうべき基準値を示す信号である。ここでは選択信号S E L 2はすべての基準値d 1-d 5を示すものとする。したがって比較器47は、再生信号D Sと当該再生信号D Sが属するレベルL V 1-L V 5に対応する基準値d 1-d 5との差に応じた誤差信号E S 2を出力する。

【0038】<自動利得制御回路A G Cの動作>次に、図1に示した自動利得制御回路A G Cの動作について説明する。

【0039】一連の再生信号処理の開始時にはP L L回路6はロックしていない。すなわちA/D変換器5からの再生信号D SとP L L回路6からのクロックC L Kとが同期していない。したがって図7に示すように、A/D変換器5におけるサンプリングポイントは理想的なサンプリングポイントからずれている。理想的なサンプリングポイントとは、P L L回路6がロックした状態におけるクロックC L Kに同期しているサンプリングポイントである。図7に示すように、P L L回路6がロックしていない状態では再生信号D Sのレベルに規則性がない。しかし再生信号D Sのピークを検出することはできる。そこで、この状態のときは再生信号D Sのピーク値とA/D変換器5のダイナミックレンジの上限値または下限値との差 $\Delta P 1 - \Delta P 3$ に応じた誤差信号E S 1が制御信号生成回路8に与えられる。そして制御信号生成回路8において、所定のループゲイン値を用いてこの誤差信号E S 1が増幅され利得制御信号V Cとして出力される。可変利得増幅器3では、この利得制御信号V Cに応じた利得で再生信号A S 2が増幅される。これにより、A/D変換器5からの再生信号D Sのピーク値とA/D変換器5のダイナミックレンジの上限値または下限値との差 $\Delta P 1 - \Delta P 3$ が小さくなる。すなわち再生信号A S 4の振幅レベルがA/D変換器5のダイナミックレンジに近づく。

【0040】再生信号処理の開始から一定の時間が経過するとP L L回路6がロック状態となる。すなわちA/D変換器5からの再生信号D SとP L L回路6からのクロックC L Kとが同期する。P L L回路6がロックした状態では、図8に示すように、A/D変換器5のサンプリングポイントにおける再生信号D Sのレベルがほぼ5値(基準値d 1-d 5)に分かれる。この状態のときは各サンプリングポイントについて、再生信号D Sと当該再生信号D Sが属するレベルL V 1-L V 5に対応する基準値d 1-d 5との差に応じた誤差信号E S 2が制御信号生成回路8に与えられる。そして制御信号生成回路8において、所定のループゲイン値を用いてこの誤差信号E S 2が増幅され利得制御信号V Cとして出力される。可変利得増幅器3では、この利得制御信号V Cに応

12

じた利得で再生信号A S 2が増幅される。これにより、再生信号A S 4の振幅レベルはA/D変換器5のダイナミックレンジに適合したレベルになる。このように再生信号D Sのピーク値だけでなく中間値も誤差信号E S 2の算出の対象にするため、再生信号D Sのピーク値だけを対象にする場合と比べると、再生信号A S 4の振幅レベルはA/D変換器5のダイナミックレンジに適合しかつ安定したものとなる。

【0041】なお、再生信号D Sと基準値d 1-d 5との差のばらつきは当該再生信号D Sが属するレベルL V 1-L V 5によって異なる。したがって、ここでは再生信号D Sの5値すべてを誤差信号E S 2の算出の対象としたけれども上記ばらつきの少ない値のみを選択して誤差信号E S 2の算出の対象としてもよい。この選択は、図4に示した選択信号S E L 2によって行う。

【0042】<効果>以上のように、この発明の第1の実施形態による再生信号処理回路ではレベル誤差算出回路22を設けたため、P L L回路6がロック状態における再生信号A S 4の振幅レベルをA/D変換器5のダイナミックレンジに適合しかつ安定したものにすることができる。

【0043】また、P L L回路6がロックしていないときはピーク誤差算出回路21からの誤差信号E S 1を誤差信号E Sとして制御信号生成回路8に与えるため、P L L回路6がロックするまでの間に再生信号A S 4の振幅レベルをA/D変換器5のダイナミックレンジに適合したレベルにある程度近づけることができる。これにより、再生信号A S 4の振幅レベルをA/D変換器5のダイナミックレンジに適合しかつ安定したものにするまでの時間を短くすることができる。

【0044】<なお書き>なお、ここでは図7に示すように、P L L回路6がロックしていない状態のときはA/D変換器5のダイナミックレンジの上限値または下限値を再生信号D Sのピーク値との比較対象にしている。このため再生信号D Sの振幅レベルがA/D変換器5のダイナミックレンジを越えてしまうおそれがある。これを回避するためには、図9に示すように、A/D変換器5のダイナミックレンジの上限値よりも小さく中央値よりも大きい基準値R e f 1または下限値よりも大きく中央値よりも小さい基準値R e f 2を再生信号D Sのピーク値との比較対象にすればよい。

【0045】(第2の実施形態)この発明の第2の実施形態による再生信号処理回路では、誤差算出部7は、図2に示したピーク誤差算出回路21に代えて図10に示すピーク誤差算出回路31を含む。その他の構成は第1の実施形態による再生信号処理回路と同様である。

【0046】図10に示すピーク誤差算出回路31は、等化器4からの再生信号A S 4の振幅レベルを算出し、算出した振幅レベルと基準値との差に応じた誤差信号E S 1を出力する。以下、さらに詳しく説明する。

13

【0047】図11(a)に示すような波形の再生信号A S 2は等化器4によって波形等化され図11(b)に示すような波形となる。ピーク誤差算出回路31は、波形等化された再生信号A S 4を全波整流した後にローパスフィルタを通過させて図11(c)に示すように波形ピークを平滑化する。そして再生信号のピークの平均値を算出する。次に、算出した平均値とA/D変換器のダイナミックレンジに相当する基準値とを比較し、その誤差を算出する。そして、算出した誤差に応じた誤差信号E S 1を生成する。このようなピーク誤差算出回路31を設けた場合にも第1の実施形態におけるのと同様の効果が得られる。

【0048】(第3の実施形態)この発明の第3の実施形態による再生信号処理回路は、図1に示した制御信号生成回路8に代えて図12に示す制御信号生成回路40を備える。その他の構成は図1に示した再生信号処理回路と同様である。

【0049】図12を参照して、制御信号生成回路40は、セレクタ41と、乗算器42と、積分器43とを含む。セレクタ41は、図1に示したPLL回路6からの同期検出信号S DTがHレベルのときはループゲインG Lを乗算器42に与え、同期検出信号S DTがLレベルのときはループゲインG Sを乗算器42に与える。ループゲインG LはループゲインG Sよりも大きい。乗算器42は、図1に示した誤差算出部7からの誤差信号E Sとセレクタ41からのループゲインとの積を積分器43に出力する。積分器43は、乗算器42からの積を所定時間 積分し利得制御信号V Cとして出力する。

【0050】以上のように構成された再生信号処理回路では、PLL回路6がロックしていないとき、すなわち同期検出信号S DTがLレベルのときは大きいほうのループゲインG Lが乗算器42に与えられ、このループゲインG Lと誤差信号E Sとの積に基づいて利得制御信号V Cが生成される。したがって可変利得増幅器3は、ループゲインG Sが乗算器42に与えられるときよりも大きい利得で再生信号A S 2を増幅する。これにより、再生信号A S 4の振幅レベルがA/D変換器5のダイナミックレンジにおおざっぱに近づけられる。一方、PLL回路6がロックしているとき、すなわち同期検出信号S DTがHレベルのときは小さいほうのループゲインG Sが乗算器42に与えられ、このループゲインG Sと誤差信号E Sとの積に基づいて利得制御信号V Cが生成される。したがって可変利得増幅器3は、ループゲインG Lが乗算器42に与えられるときすなわちPLL回路6がロックしていないときよりも小さい利得で再生信号A S 2を増幅する。これにより、A/D変換器5のダイナミックレンジに適合しきつ安定したレベルになるように再生信号A S 4の振幅レベルが細かく調整される。

【0051】以上のように第3の実施形態による再生信号処理回路では、PLL回路6がロック状態でないとき

14

はループゲインG Sを乗算器42に与え、PLL回路6がロック状態のときはループゲインG Lを乗算器42に与えるため、再生信号A S 4の振幅レベルの調整を効率よく行うことができる。

【0052】(第4の実施形態)この発明の第4の実施形態による再生信号処理回路は、図1に示した制御信号生成回路8に代えて図13に示す制御信号生成回路50を備える。その他の構成は図1に示した再生信号処理回路と同様である。

【0053】図13を参照して、制御信号生成回路50は、選択信号生成回路51と、セレクタ52と、乗算器53と、積分器54とを含む。選択信号生成回路51は、フォーマット識別信号F DSおよび同期検出信号S DTに従って選択信号S EL 3をセレクタ52に与える。フォーマット識別信号F DSは、光ディスクPDに記録されたデータが読み出し専用(ROM)ディスク用のフォーマットであるときはHレベルとなり、読み出し／書き込み可能な(RAM)ディスク用のフォーマットであるときはLレベルとなる。選択信号S EL 3は、ループゲインG L, GMおよびG Sのうちいずれを乗算器53に与えるかを示す信号である。セレクタ52は、選択信号生成回路51からの選択信号S EL 3に従ってループゲインG L, GM, G Sのうちいずれか1つを乗算器53に与える。ループゲインG L, GMおよびG Sの大きさの関係は、G S < GM < G Lのようになっている。乗算器53は、図1に示した誤差算出部7からの誤差信号E Sとセレクタ53からのループゲインとの積を積分器54に出力する。積分器54は、乗算器53からの積を所定時間 積分し利得制御信号V Cとして出力する。

【0054】次に、以上のように構成された再生信号処理回路の動作について説明する。ここでは、フォーマット識別信号F DSがHレベルのときとLレベルのときに分けて説明する。

【0055】(1) フォーマット識別信号F DSがHレベルのとき  
光ディスクPDには、ROMディスク用フォーマットでデータが記録されている。すなわち、図14に示すように、各セクタにユーザデータすなわちランダムデータが記録されている。自動利得制御回路AGCが動作を開始してからPLL回路6がロックするまでの間、選択信号生成回路51は、ループゲインG Lを示す選択信号S EL 3をセレクタ52に与える。選択信号S EL 3を受けてセレクタ52は、ループゲインG Lを乗算器53に与える。このループゲインG Lと誤差信号E Sとの積に基づいて利得制御信号V Cが生成される。これにより、再生信号A S 4の振幅レベルがA/D変換器5のダイナミックレンジにおおざっぱに近づけられる。PLL回路6がロックした後においては、選択信号生成回路51は、ループゲインGMを示す選択信号S EL 3をセレクタ5

2に与える。選択信号SEL3を受けてセレクタ52は、ループゲインGMを乗算器53に与える。このループゲインGMと誤差信号ESとの積に基づいて利得制御信号VCが生成される。これにより、A/D変換器5のダイナミックレンジに適合しかつ安定したレベルになるように再生信号AS4の振幅レベルが細かく調整される。

【0056】(2) フォーマット識別信号FDSがLレベルのとき

光ディスクPDには、RAMディスク用フォーマットでデータが記録されている。すなわち、図15に示すように、ユーザデータとユーザデータとの間にはVFO(Voltage Frequency Oscillator)パターンと呼ばれる既知パターンが存在する。VFOパターンを再生している最中はPLL回路6のループ利得を大きくして高速に同期引き込みを行う。VFOパターンは $4T+4T$ の周期をもったパターンである。ここでTは記録チャネルビットである。

【0057】既知パターン領域において自動利得制御回路AGCが動作を開始してからPLL回路6がロックするまでの間、選択信号生成回路51は、ループゲインGLを示す選択信号SEL3をセレクタ52に与える。選択信号SEL3を受けてセレクタ52は、ループゲインGLを乗算器53に与える。このループゲインGLと誤差信号ESとの積に基づいて利得制御信号VCが生成される。これにより、再生信号AS4の振幅レベルがA/D変換器5のダイナミックレンジにおおざっぱに近づけられる。既知パターン領域においてPLL回路6がロックした後では、選択信号生成回路51は、ループゲインGSを示す選択信号SEL3をセレクタ52に与える。選択信号SEL3を受けてセレクタ52は、ループゲインGSを乗算器53に与える。このループゲインGSと誤差信号ESとの積に基づいて利得制御信号VCが生成される。これにより、A/D変換器5のダイナミックレンジに適合しかつ安定したレベルになるように再生信号AS4の振幅レベルが、ユーザデータ領域におけるよりも細かく調整される。既知パターン領域に記録されているデータはある一定のパターンであるため、ランダムデータが記録されているユーザデータ領域に比べて再生信号のみだれが少ない。そのため、ユーザデータ領域の再生データについて使用するループゲインGMよりも小さいループゲインGSを使用して利得制御信号VCを生成している。そして、既知パターン領域からユーザデータ領域に切り替わった後においては、選択信号生成回路51は、ループゲインGMを示す選択信号SEL3をセレクタ52に与える。選択信号SEL3を受けてセレクタ52は、ループゲインGMを乗算器53に与える。このループゲインGMと誤差信号ESとの積に基づいて利得制御信号VCが生成される。これにより、A/D変換器5のダイナミックレンジに適合しかつ安定したレベルに

なるように再生信号AS4の振幅レベルが細かく調整される。

【0058】なお、ユーザデータ領域においてループゲインGMをループゲインGSに切り替えるようにしたり、ユーザデータ領域から既知パターン領域に切り替わるとループゲインGMをループゲインGSに切り替えるようにしたりしてもよい。

【0059】以上のように第4の実施形態によれば、再生信号AS4の振幅レベルの調整を光ディスクPDに記録されたデータのフォーマットに応じて効率よく行うことができる

【0060】

【発明の効果】この発明に従った自動利得制御回路では、A/D変換器によって量子化された再生信号のピーク値だけでなく中間値も誤差信号の生成の対象としているため、可変利得増幅器の安定した出力を得ることができる。

【0061】また、誤差算出部は、n値のうちA/D変換器によって量子化された再生信号に対応する値が所望の値のときに誤差信号を生成するため、n値のうちA/D変換器からの再生信号との差のばらつきの少ない値だけを選択して誤差信号を生成することができる。

【0062】また、誤差算出部は、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期していないときは、A/D変換器によって量子化された再生信号のピーク値とA/D変換器のダイナミックレンジの上限値または下限値との差に応じた誤差信号を生成するため、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期するまでの間に可変利得増幅器の出力の振幅レベルをA/D変換器のダイナミックレンジに適合したレベルにある程度近づけることができる。この結果、可変利得増幅器の出力の振幅レベルをA/D変換器のダイナミックレンジに適合しかつ安定したものにするまでの時間を短くすることができる。

【0063】また、所定の基準値は、A/D変換器のダイナミックレンジの上限値よりも小さく中央値よりも大きい値または下限値よりも大きく中央値よりも小さい値であるため、可変利得増幅器の出力の振幅レベルがA/D変換器のダイナミックレンジを越えてしまうことを防ぐことができる。

【0064】また、上記誤差算出部は、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期していないとき、可変利得増幅器からの再生信号のピークと所定の基準値との差に応じた誤差信号を生成するため、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期するまでの間に可変利得増幅器の出力の振幅レベルをA/D変換器のダイナミックレンジに適合したレベルにある程度近づけることができる。この結果、可変利得増幅器の

17

出力の振幅レベルをA/D変換器のダイナミックレンジに適合しつつ安定したものにするまでの時間を短くすることができる。

【0065】また、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期していないときは第1の乗数と誤差信号との積に基づいて利得制御信号を生成し、クロック生成回路からのクロックがA/D変換器によって量子化された再生信号に同期しているときは第2の乗数と誤差信号との積に基づいて利得制御信号を生成するため、可変利得増幅器の出力の振幅レベルの調整を効率よく行うことができる。

【0066】また、記録媒体に記録されたデータのフォーマットに応じて上記第2の乗数を変えるため、可変利得増幅器の出力の振幅レベルの調整を、記録媒体に記録されたデータのフォーマットに応じて効率よく行うことができる。

#### 【図面の簡単な説明】

【図1】この発明の第1の実施形態による再生信号処理回路の全体構成を示すブロック図である。

【図2】図1に示した誤差算出部の内部構成を示すブロック図である。

【図3】図2に示したピーク誤差算出回路の内部構成を示すブロック図である。

【図4】図2に示したレベル誤差算出回路の内部構成を示すブロック図である。

【図5】基準値としきい値との関係を示す図である。

【図6】図4に示したデコーダの入力と出力との関係を示す図である。

【図7】図1に示したPLL回路がロックしていない状態におけるA/D変換器のサンプリングポイントおよび出力を示す図である。

18

\* 【図8】図1に示したPLL回路がロックしている状態におけるA/D変換器のサンプリングポイントおよび出力を示す図である。

【図9】図1に示したPLL回路がロックしていない状態におけるA/D変換器のサンプリングポイントおよび出力を示す図である。

【図10】この発明の第2の実施形態による再生信号処理回路における誤差算出部の内部構成を示すブロック図である。

10 【図11】(a) - (c)は、図10に示したピーク誤差算出回路による誤差信号の算出の手順を説明するための図である。

【図12】この発明の第3の実施形態による再生信号処理回路における制御信号生成回路の内部構成を示すブロック図である。

【図13】この発明の第4の実施形態による再生信号処理回路における制御信号生成回路の内部構成を示すブロック図である。

20 【図14】読み出し専用ディスク用のフォーマットとループゲインとの対応関係を示す図である。

【図15】読み出し/書き込み可能なディスク用のフォーマットとループゲインとの対応関係を示す図である。

#### 【符号の説明】

3 可変利得増幅器

5 A/D変換器

6 PLL回路

7 誤差算出部

8, 40, 50 制御信号生成回路

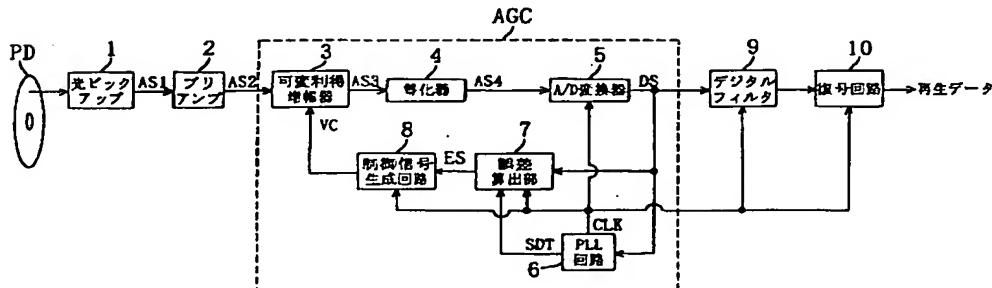
21, 31 ピーク誤差算出回路

22 レベル誤差算出回路

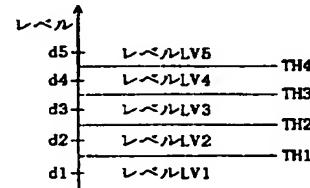
30

\*

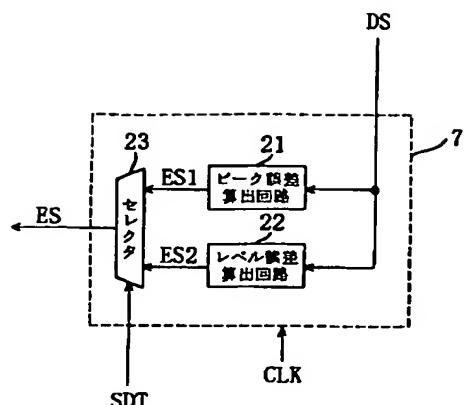
【図1】



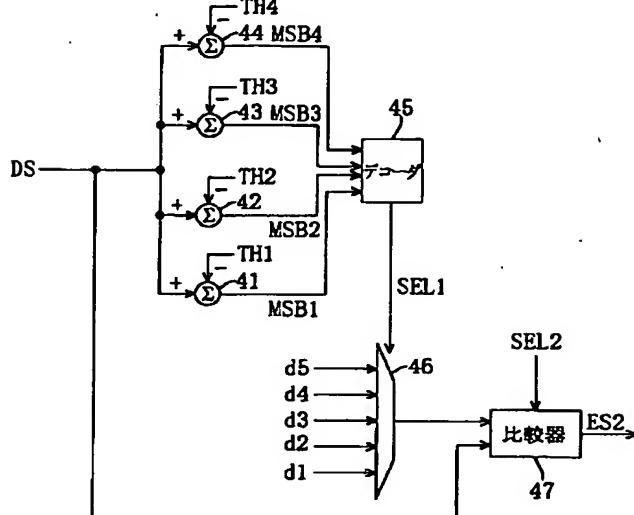
【図5】



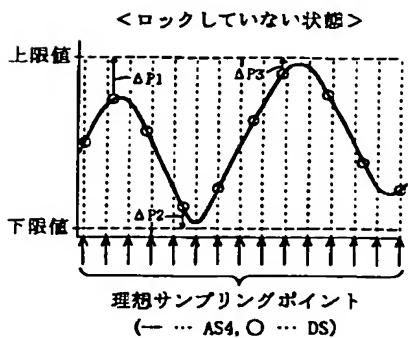
【図2】



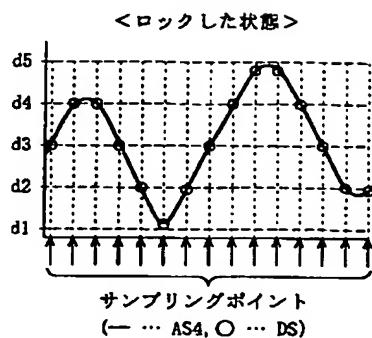
【図4】



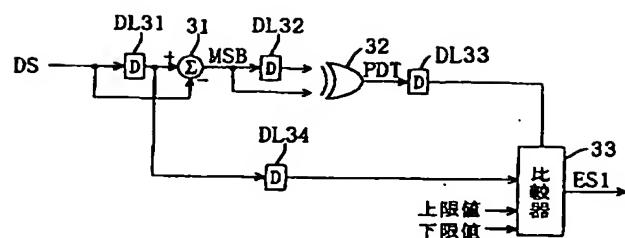
【図7】



【図8】



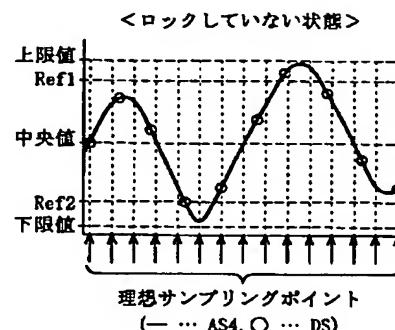
【図3】



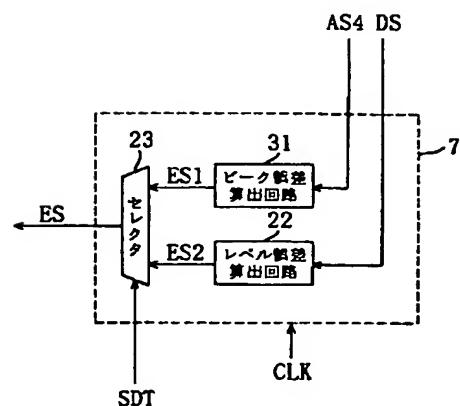
【図6】

DSの1バイト	MSB1	MSB2	MSB3	MSB4	SEL1
LV5	+	+	+	+	d5
LV4	+	+	+	-	d4
LV3	+	+	-	-	d3
LV2	+	-	-	-	d2
LV1	-	-	-	-	d1

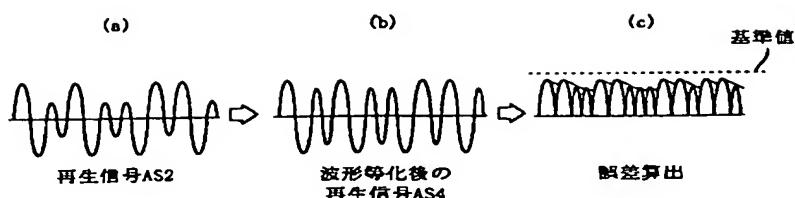
【図9】



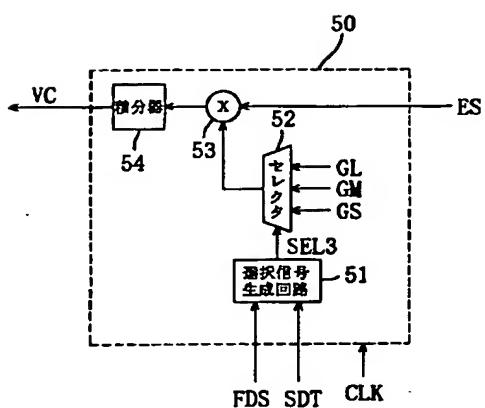
【図10】



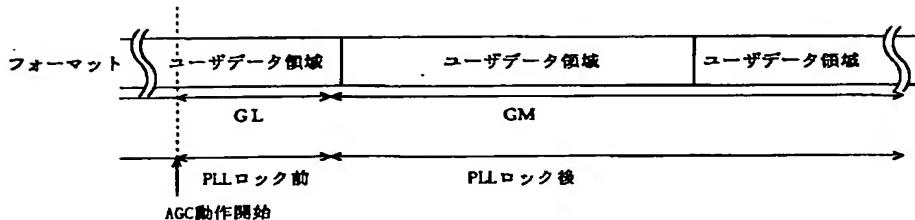
【図11】



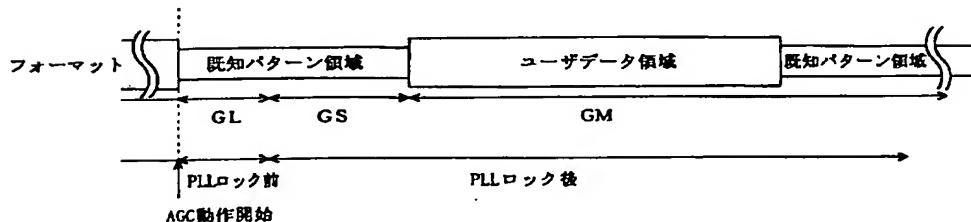
【図13】



【図14】



【図15】



フロントページの続き

F ターム(参考) 5C053 FA23 GA01 JA01 KA07 KA08  
KA12 KA16 KA18 KA21 KA22  
KA25  
5D044 BC02 CC04 FG04 GM11  
5J022 AA01 BA08 CE03 CF02  
5J100 JA01 KA05 LA09 LA10 LA11  
QA01 SA04